

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-035775  
(43)Date of publication of application : 16.02.1987

(51)Int.Cl. H04N 1/417

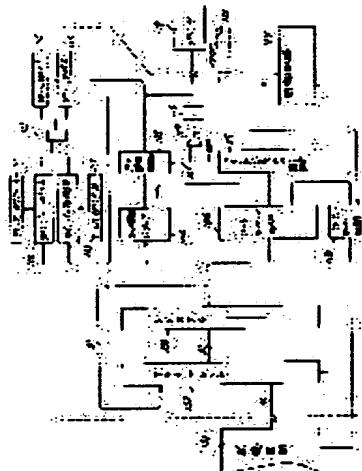
(21)Application number : 60-175306 (71)Applicant : CANON INC  
(22)Date of filing : 08.08.1985 (72)Inventor : HISADA KAZUTOSHI  
KOKUBU NOBUSATO  
SAKURAI SHIGEKI  
MURATA YUKIO  
OKANO TATSUO

## (54) DECODING DEVICE FOR IMAGE CODE

### (57)Abstract:

PURPOSE: To perform fast decoding operation by outputting information on an image on a line to be referred by a specific number of picture elements at a time in parallel and generating an image signal on the basis of the image and the decision result of an image code.

CONSTITUTION: Respective blocks of a circuit are supplied with a common image clock from a control circuit 118 and the decoding operation is performed in synchronism with the image clock at a speed corresponding to intervals (period) of the clock. When the supply of this clock is quit, the decoding operation stops during the stop period. Therefore, the speed of the decoding operation, etc., are controllable by varying the intervals, etc., of the clock supplied to the respective blocks in common. Consequently, this speed, the data processing speeds, etc., of a printer a computer, etc., which receive a decoded image under the stop control, etc., are not limited by the decoding speed.



⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 昭62-35775

⑬Int.Cl.<sup>4</sup>

H 04 N 1/417

識別記号

厅内整理番号

8220-5C

⑬公開 昭和62年(1987)2月16日

審査請求 未請求 発明の数 1 (全17頁)

⑭発明の名称 画像コードの復号装置

⑮特願 昭60-175306

⑯出願 昭60(1985)8月8日

⑰発明者	久田 加津利	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰発明者	國分 信聰	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰発明者	櫻井 茂樹	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰発明者	村田 幸雄	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰発明者	岡野 達夫	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑰出願人	キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
⑰代理人	弁理士 丸島 儀一		

明細書

1. 発明の名称

画像コードの復号装置

2. 特許請求の範囲

入力する画像コードの復号に際して参照すべきラインの画像の変化点情報及び色情報を所定画像毎に並列に出力する手段と、入力する画像コードを断次判別する手段と、上記判別手段の判別結果と上記出力手段の並列出力との関係を監視する手段と、上記監視手段の出力に基づいて画像信号を形成する手段とを有することを特徴とする画像コードの復号装置。

3. 発明の詳細な説明

(技術分野)

本発明は画像コードの復号装置に関し、特に、モディファイド・リード(MR)符号化やモディファイド・モディファイド・リード(MMR)符号化等の二次元符号化された画像コードを復号する画像コードの復号装置に関するものである。

(従来技術)

ファクシミリ等の画像伝送装置や光ディスク、磁気ディスク等を用いた画像ファイル装置において、画像データを圧縮して取扱うことによりデータ量を減少せしめ伝送或いは蓄積動作の高速化、効率化を計っている。

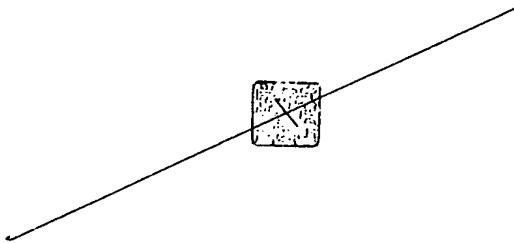
この様な画像データの圧縮技術としては、二次元符号化方式(昭和56年郵政省告示第1013号)又は高能率二次元符号化方式(昭和60年郵政省告示第197号)等により示されたMR、MMR等が一般に知られている。

このMR、MMR符号化等の二次元符号化は、前ラインの画像と符号化すべきラインの画像信号との相関関係をコードで表わすものである。従って、二次元符号化された画像コードの復号には既に復号された前ラインの画像信号と入力画像コードとの関係を判断する如くの複雑な処理動作が必要であり、これはマイクロコンピュータ等によるソフト的な処理によってなされていた。従って、画像コードの肯定に数ステップを要することもあり、次に入力する画像コードの復号が即座に実行

することができず、復号動作が高速に実行できな  
いこともある。

#### (目的)

本発明は以上の点に鑑みてなされたもので、二  
次元符号化された画像コードを高速に復号すること  
を目的とし、詳しくは、入力する画像コードの復号に際して参考すべきラインの画像の変化点情報  
及び色情報を所定画素毎に並列に出力する手段と、入力する画像コードを順次判別する手段と、  
上記判別手段の判別結果と上記出力手段の並列出力との関係を監視する手段と、上記監視手段の出力  
に基づいて画像信号を形成する手段とを有する  
画像コードの復号装置を提供することを目的とする。



第1図において102はマルチブレクサ、  
103はレジスタCであって、マルチブレクサ  
102及びレジスタ-C 103は運動して、  
1つのビットシフタを構成している。即ち記憶  
回路101から並列に読み出された16ビットの  
コードは、マルチブレクサ102を経て、レジ  
スタC 103に記憶されているが、このときに  
シフトコントロール回路108によってマルチ  
ブレクサ102の入力と出力との関係を制御す  
ることにより、コードデータがシフトコント  
ロール回路108により指定されたビット数だ  
け順次レジスタC 103内を、一方向に移動す  
るよう制御される。

104はコード検出ロジック、106はコー  
ドテーブルROMであって、コード検出ロジッ  
ク104及びコードテーブルROM106は、  
レジスタC 103内の所定の位置にあるコード  
を入力として得て、該コードの内容を判別する  
回路である。即ち、ROM106は水平(H)  
モードの場合の入力コードに応じたランレンジ

#### (実施例)

以下、本発明を図面を用いて詳細に説明する。

第1図は本発明の実施例のデコード回路のブ  
ロック図である。第1図により動作の概要を説  
明する。尚本例ではMMR符号化された画像  
コードの復号を例に説明するが、MR符号化等  
他の二次元符号化にも適用することができる。

101は記憶回路であり、デコードすべき画像  
の符号(以下、コードという)が記憶されて  
おり、記憶回路101のデータ記憶形式は第2  
図(A)に示すように、例えば通信回線から直  
列に受信した一連のコードを、第2図(B)に  
示す如く6ビット単位の並列データに分割して  
記憶したものであり、各コードの区切りには聞  
知しない。この記憶回路101はRAM(ラン  
ダムアクセスメモリ)やラツチ回路により構成  
しうるものである。

記憶回路101は外部からの要求信号201  
に応じて、順次並列出力データB0~B15を  
更新できる構造である。

ス及びコード長(=ビット数)等を記憶した  
テーブルを有し、このテーブルをアクセスする  
ことにより対応したデータを出力する。そして、  
ROM106より出力されたランレンジスの数値はランレンジスカウント回路107に入  
力される。

ランレンジス・カウント回路107はROM  
106よりの数値分だけカウントをした時、カ  
ウント終了パルスを出し画像再生回路110等  
に送る。

一方ROM106の出力のうちコード長をシ  
フトコントロール回路108に送る。シフトコ  
ントロール回路108はマルチブレクサ102  
を動作し、今判別したコード長のビット数だ  
けレジスタC 103内のコード・データを移動  
させる。即ち判断済みのコードをレジスタC  
103より排出し、続く次のコードを106  
ROM等が判断可能なようにレジスタC 103  
の所定位置まで移動させるわけである。この  
際、シフトコントロール回路108はマルチブ

レクサ102に対して指定したコードの移動量を積算しており、積算値が16ビット分のシフトに相当する値となる毎に記憶回路101から新しいコードを16ビット並列にマルチブレクサ102を介してレジスタC103へ追加させる。又コード検出ロジック104はレジスタC103内のコードが後述の如くの特定のコードである時、検出機能を発揮し、検出結果をPV照合回路105等に報知する。又、同時にコード検出ロジック104により検出した特定コードのコード長はシフトコントロール回路108にも送られる。この時シフトコントロール回路108の役割は前述の場合と同じである。

112, 113はラインバッファメモリA, Bであり、バッファメモリA112及びバッファメモリB113は各々画像1ライン分の画像データを記憶できる容量のメモリでRAM等により構成されている。アドレスカウンタA111及びアドレスカウンタB117はバッファメモリA112とバッファメモリB113の

0～B15)が第3図示のマルチブレクサB1021を経てシフトレジスタC103内へ移動する。続いてレジスタC103の出力をマルチブレクサA1022を介してレジスタC103に入力する。そして、コード先頭のビットがレジスタC103のC0の出力となった時一旦停止する。この状態がコード開始準備完了の状態である。

以上のコード・データの移動の制御は第1図示のシフトコントロール回路108からの信号Σ1～Σ4, CR, ST1～ST8コード検出ロジック104の信号S0～S3に従って行う。又、第3図のマルチブレクサ102, レジスタC103によるビットシフトは1ビット毎のシリアルシフト及び1～9ビットの複数ビットを一度にシフトするジャンプ・シフトを行う機能を有するものである。又、レジスタC103は本実施例では31ビットのパラレルイン・パラレルアウトのレジスタである。又、シフトの方向は第3図に矢印で示す一方のみで

各々の書き込み又は読み出しアドレスを指定するカウンタである。又バッファメモリA112とバッファメモリB113は一方が書き込みモードの時、他方が読み出しモードとなるようダブルバッファ構造となっている。又バッファメモリA112及びバッファメモリB113は二次元符号化法によるコードをデコードする為のリフレンスラインの画像を記憶する為のものである。118は第1図示の各回路ブロックの動作を制御する制御信号を発生する制御回路であって、各回路ブロックは制御回路118から発生されたクロックを共通のタイミング信号として各部間の同期を取りつつ動作する。

次に第1図示の回路ブロック図の各部の機能を具体的に述べる。マルチブレクサ102及びレジスタC103は前述のようにビットシフトを構成しており、その構成例を第3図に示す。即ち、第2図(B)の如く記憶回路101に記憶されているコード・データはデコード開始に先立ち、まず先頭の1ワード=16ビット(B

ある。又、レジスタC103内に示したコードは第2図(b)の記憶回路101内のコードが前述したレジスタC103内のデコード開始準備完了位置にある状態を例示したものである。

次に第1図示のコード・テーブルROM106の構成を第4図に示す。第4図401及び402は各々13ビットのアドレス入力(A0～A12)及び1ビットもチップイネーブル入力(C-E)及び12ビットのデータ出力(O1～O12)をもつ通常のROM(リード・オーリー・メモリ)である。ROMA401は白のコードに対するテーブル、ROMB402は黒のコードに関するテーブルであり、チップイネーブル入力C-Eへの信号によりいずれか一方が選択される。

ROMA401とROMB402の構成は同様であるのでROMA401の記憶内容について述べる。ROMA401のアドレス入力のMSB=A12には、第3図示のレジスタC103のC3出力信号が入力される。そして、

統くアドレス入力 A<sub>11</sub>～A<sub>0</sub>には、第4図示の順にレジスタ C<sub>103</sub>の C<sub>3</sub>～C<sub>15</sub>出力が並列入力されている。又、ROMA401の C<sub>E</sub>入力にはコードの黒／白の色信号 (B／W) が入力される。又 C<sub>3</sub>出力は H モードを構成する H モードコード (001) 以外の各コードの MSB ビットである。ROMA401に入力されたコードによって指定された番地から該コードのランレンジス (RL5～RL0) 及びコード長 (CL4～CL0) 及び該コードがマイクアップコードかターミネイティングコードかを区別する信号 (M／T) を並列出力する。尚、レジスタ C<sub>103</sub>の C<sub>3</sub>～C<sub>15</sub>出力によりランレンジスコードを判定するので水平モードを示す 3 ビットの H コードをレジスタから排出することなく、統く、ランレンジスコードを判定でき、復号の高速化が達成できる。

第4図の入力例は白ラン 18 のコード (0100111) が入力された時の出力でランレンジスは 18 であるが 2 進数で 2 の補数の形 (1

次に第1図示のコード検出ロジック 104 の具体的回路の構造を第5図に示す。即ち、第5図は第1表及び第2表に示す各コードを NAND 回路 510、オア回路 511、反転回路 512 の組合せにより論理的に検出し各コードの検出済信号及び検出コードのコード長 (S0～S4) 及びランレンジス (RL0～RL5) 等を出力する。501 で示す JCD 信号は第5図のロジックにより第1表及び第2表のコードが検出されたことを示す。レジスタ C<sub>103</sub>のデータは第4図示の ROM 及び第5図示のロジックに並行して与えられるので、両方から復号データが出力されることがある。この様な場合のために、第5図示のロジックにてコード検出された場合には JCD 信号にて第4図 ROM の出力を無効とする。

第5図は第1表及び第2表のコードのうち、P コード (0001)、VL (1) コード (010)、W4 コード (1011) の検出を例示しているが、他のコードも同様に検出され

01110) で出力される。ランレンジスは本来 12 ビット表現できるものであるが、ターミネイティングコードの場合は、下位 6 ビットのみ出力し、上位 6 ビットは常にオール 1 なので出力しない。又、与えられたコードがマイクアルプコードの場合は上位 6 ビットのみを出力し、下位 6 ビットは常にオール 0 なので出力しない。又、第4図示の入力例では白ラン 18 のコードのコード長は 7 なので、出力例は CL4～CL0 に (00111) の 2 進数が出力されている。同時に M/T 出力は 0 を出力し、入力コードがターミネイティングコードであることを示す (M/T = 1 ならマイクアップコード)。

又、アドレス入力に対してコードが短い為に入力のないアドレスは Don't Care となるように ROMA401 には各コード入力に対して番地割付けを行なって記憶内容を書き込んである。使用コードの相互間は以上のように Don't Care としても混同されないように規定されている。

尚、第1表、第2表に示したコード群は各コード長がそのコードが示すランレンジスと等しいか長い場合等、コードから画像データを形成するに要するロット数で 1 ビットずつシフトしたのでは次のコードの頭出しが次の画像出力時迄にできないコードである。

第1表、第2表に於いて、第1表のグループ 1 の各コードは該コードの MSB ビットが第3図示のレジスタ C<sub>103</sub>の C<sub>0</sub>にあるときを検出すべき所定位置とする。又、第2表のグループ 2 の各コードは該コードの MSB ビットがレジスタ C<sub>103</sub>の C<sub>3</sub>にあるときを所定位置とする。なお、第1表及び第2表に示した各コードをまとめて“ジャンプコード”と称する事とする。尚、ジャンプコードとしてはこれ以外のコードを含んでもよいことは言う迄もない。

次に、第1図示のランレンジス・カウント回路 107 の具体的な回路を第6図に示す。

第6図において、601 はデマルチブレクサであり、第4図示のコードテーブル ROM の出

力である R L 5 ~ R L 0 のランレンジス信号 (2 の補数) をランレンジス・カウンタ 602 へのロード (プリセット) データとして入力する。この際第4図示の ROMからの出力ランレンジス (R L 5 ~ R L 0 ) は前述の如く 6 ビットのみであり、入力コードがメイクアップコードであるかタミネーティングコードであるかにより、ランレンジス信号の下位又は上位の 6 ビットにはマルチブレクサ 601 内から 1 が補完される。マルチブレクサ 601 への入力 M / T 信号は入力したランレンジス信号 R L 5 ~ R L 0 を出力 Y 1 に出すか Y 2 に出すかのセレクト信号となる。ランレンジスカウンタ 602 は 12 ビットの 2 進カウンタである。606 に示す LOAD 信号でランレンジスカウンタ 602 の初期値のプリセット (マルチブレクサ 601 の出力のロード) を済ませたあと 605 で示す C N T E N 信号によりカウンタがイネーブルとなるとランレンジスカウンタ 602 は順次カウント・アップしてゆく。そしてついに該カウ

である。

次に、仮想変化点発生回路 1142 を第9図に示す。即ち、第9図において 804 はアンド回路、805 は反転回路、806 はオア回路、807 はフリップフロップであり、セレクタ 1141 から入力される各リフレンスの最終画素位置を示す信号 905 により各リフレンス・ライン画像信号 904 の最後の画素の色をフリップフロップ 807 にラッチし、その次の画素 (仮想画素) の色を相反する色として必ず変化点となるように各ラインの有効区間を示す水平同期信号 906 の立下がりによりフリップフロップ 807 の Q 出力を選択する回路である。

次に変化点検出回路 1143 を第10図に示す。即ち第10図において、1001 はフリップフロップ、1002 は排他的オア回路、1003 は反転回路である。図示するように仮想変化点発生回路 1142 の出力 907 はフリップフロップ 1001 と排他的オア回路 1002 に

シタ出力 (Q 0 ~ Q 11 ) がオール 1 、即ち <-1> 値になるとゲート 603 の出力が 0 となり、反転回路 607 よりカウント終了パルス H C R O 604 が出力されカウント動作も停止する。

次に第7図に於いて、第1図示のアドレスカウンタ A 111 、アドレスカウンタ B 117 の制御によりラインバッファメモリ A 112 、ラインバッファメモリ B 113 より読出された画像信号の処理について説明する。第7図において 114 は画像変換回路であり、セレクタ 1141 、仮想変化点発生回路 1142 、変化点検出回路 1143 より構成される。セレクタ回路 1141 を第8図に示す。第8図において 801 はアンド回路、802 はオア回路、803 は反転回路であり、ラインバッファメモリ A 112 の読み出しデータ 901 とラインバッファメモリ B 113 の読み出しデータ 902 を画像 1 ライン毎に切り換え信号 903 によりリフレンス画像信号 904 として選択する回路

入力され、フリップフロップ 1001 の Q 出力と入力信号 907 の排他的論理和を排他的オア回路 1002 によって取ることにより、相隣る画素の色の変化を検出し、変化点検出信号 909 を出力する回路である。

第9図及び第10図に示した回路 1142 及び 1143 の動作タイミングチャートを第11図に示す。

第1図において 115 は 4 ビットシフトレジスタからなるシフトレジスタ A で、第7図の 115 に回路を示す。

即ち、変化点検出回路 1143 から S 1 に入力されたリフレンスライン画像データ 908 はレジスタ A 115 内を Q 1 → Q 4 の方向にクロックにより順次シフトされる。又、該レジスタ A 115 の 4 ビットの内容は常に 910 として並列出力されている (C 1 ~ C 4 ) 。従って、リフレンスラインにおける連續した 4 画素分の個々の色情報がシフトレジスタ A 115 よりパラレルに出力されることになる。

第1図示のシフトレジスタB116もまた同様に4ビットのシフトレジスタであり、第7図の116に回路を示す。即ち、変化点検出回路1143からSIに入力されたリファレンスラインの画像変化点信号909をデータとしてレジスタB116内をQ1→Q4の方向にクロツクによる順次シフトされる。又該内容は911として常に並列出力されている(B1~B4)。従って、リファレンスラインにおける連続した4画素中の変化点の有無及びその変化点位置を示す情報がシフトレジスタB116よりパラレル出力される。

次に第1図示のPV照合回路105を第12図に示す。第12図において、1201、703は排他的オア回路、1202、704はアンド回路、1203、705は NAND 回路、また、1205は反転回路である。301は8ビットのラツチで第5図示のコード検出ロジック104によりレジスタC103に格納されたコードがPコード又はVコードであることが検

シフトながら記憶している回路である。以上の構成により、シフトレジスタB116のB4出力に続く3画素内に変化点b1がある場合その位置に対応したアンド回路1202の出力が1となり、また、B4出力の前の3画素内に変化点b1がある場合、その位置に対応したシフトレジスタ302の出力1となる。第12図のその他の回路はラツチ301が保持しているP又はVのコード情報とフリップフロップ303、シフトレジスタ302、アンド回路704等から得られるリファレンスラインの情報を照合する回路であり、条件が合えば701に示すPVHIT又は702に示すVHITの条件合致信号を出力する。例えば、ラツチ301にVR(2)がラツチされた場合にはシフトレジスタ302の出力が1となったとき、また、ラツチ301にVL(2)がラツチされた場合にはアンドゲート1202の出力が1となったときに夫々VHITを出力する。尚、PVHITはVモードのコード及びPコード

出されると、各検出されたコードに対応したビットを“1”とし、他を“0”としたデータを受け取り記憶する。該記憶データはPモード又はVモードのデコード時照合に使用する。第12図の信号B1~B4は第7図示のレジスタB116からの信号911であり、第12図の信号C1~C4は第7図示のレジスタA115からの信号910である。又、第12図a0信号は二次元符号化法でいう記号a0(以下記号a0という。他の記号も同様)であり、デコード各時点での起点画素の色を示す。

第12図において排他的オア回路703及びアンド回路704は記号b1が第7図示の、シフトレジスタA115のC4の位置にある事を検出する回路であり、第12図示のフリップフロップ303は記号b1が既に上記位置で検出されたことを記憶する回路である。又302は3ビットのシフトレジスタで、前記アンド回路704で検出された記号b1をSIから出力し、その後3クロツクの間Q1→Q2→Q3と

ドのデコード終了を示し、このPVHITにより、次のコードのモード判定を実行する。

第1図示のシフトコントロール回路108を第13図に示す。即ち1301は4ビットの2進フルアダであり、1302は4ビットのラツチである。フルアダ1301とラツチ1302とで4ビットの2進アキュミレータを構成している。フルアダ1301への入力S0~S3信号は第1図コード検出ロジック104又はコード・テーブルROM106から得られる。レジスタC103内のコードの1クロツクにおける必要移動量に対応する。なお、ROM106から得る必要移動量は常に1である。

結局フルアダ1301及びラツチ1302によるアキュミレータはレジスタC103内のデータの移動の経過によって生じたレジスタC内の空ビットの数を積算している。又、フルアダ1301の出力CR(キャリー)、Σ1~Σ4は現在フルアダ1301のS0~S3に入力されている移動を実行するとできるレジスタ

C103内の空きビットの数を示す。この時点ではCR(=16)が出力されている時には第1図示の記憶回路101に更新要求信号201(第2図)を出力し新しいデータ(16ビットB0~B15)を記憶回路101よりレジスタC103へ追加する。

信号S0~S3は第1表、第2表に示した如く0~9(10進)の値を取りうるので、例えばラッチ1302が15(10進)を示している時、もしS0~S3が9を示すと積算値は $9 + 15 = 24$ となる。この時レジスタC103において9ビットジャンプシフトを実行すると24ビットの空きビットができるので、新しいコードを第1図示の記憶回路101から追加するが、レジスタC103は31ビット構成であるから、 $31 - 24 = 7$ ビットの出力C0~C6(第3図C9~C15から移動する)が有効ビットであり、C7~C30が空きビット(=無効コード)である。この際、レジスタC103内のコードが途切れないように記憶回

ンスライン上の記号b1と照合済となった事を示すVHIT信号701(第12図)又は第6図示のランレンジスカウンタ602がターミネイティングコードの示すランレンジス値だけカウントし終えた事を示すHCR0信号に基づくTEND信号1404により(出力)を反転される。又、フリップフロップ1403は第6図示のランレンジスカウンタ602がターミネイティングコードの示すランレンジスをカウント中であることを記憶している回路である。即ち、このフリップフロップ1403もQ出力により、メイクアツプのランレンジスカウント終了時のHCR0信号604ではフリップフロップ1401は反転せず画像の色も変化しない。また、フリップフロップ1401はPモードの照合済信号PVHITによって反転動作しない。

次に、1例として、本実施例がデコード結果として、第15図に示すような画像を再生(デコード)する場合の、具体的動作説明をする。第15図の1501は仮想ラインで実際の

路101により並列に読出された新しいコード(16ビット)はレジスタC103のC7~C22の位置へ追加される。以上の新しく追加するコードの記憶位置の制御は第13図回路1303が第3図示のマルチプレクサA1022に対して信号ST1~ST8を出力し、マルチプレクサを選択動作せしめることにより行っている。即ちレジスタC103のC0~C15の16ビットには常に有効コードが存在するよう前倒されているわけである。

次に第1図の画像再生回路110を第14図に示す。第14図において、1407はオア回路、1408は反転回路、1409は NAND 回路、1410はアンド回路である。即ち、フリップフロップ1401のQ出力=1402は復号動作の目的であるデコードの結果の画像であり、第1図に示すようにレーザビームプリンタの如くのプリンタに送り実際の画像出力を記録紙上に印刷できるものである。又、フリップフロップ1401はVモードのコードがリファレ

画像ではない。又1502は第1ライン及び1503は第2ラインを示し、これらは実際の画像であり、本例では各ライン共に16画素により成っているとする。

又、第15図示の1504、1505、1506の各画素は仮想変化点発生回路1142(第7図)により発生された仮想画素であり、実際の画像ではない。

つまり、本例の第15図の画像は2ラインにより1ページを構成しており、又各ラインの画素数は16画素の画像であるとする。従って第15図示の画像を符号化した第16図に示すコード情報を記憶回路101(第1図)より得て、第15図の画像を再生する例を以下説明する。又、デコードに先立ち、符号化方式の規定により、画像ライン毎の画素数は1ページ内では一定で既にデコード回路に対し明らかにされている。

第17図は第1ラインのデコード時のリファレンスライン及び各記号の関係を示す。又、第

18図は第2ラインのデコード時のものである。

また、第19図はデコード動作のタイミングチャートである。第19図のタイミングチャートからも明らかに、本デコード動作は1915で示す画像クロックに従って実行される。第19図の120で示すH SYNC信号は第1図プリンタ119等の外部から与えられる、例えば1ライン毎のプリント動作に同期した水平同期信号であり、本実施例の復号化回路は水平同期信号120に同期して1ラインづつデコード動作を行なう。結局、水平同期信号120は1ラインづつのデコード動作開始のトリガー信号として用いられる。

第19図の1901及び1902は夫々第7図示のアドレスカウンタA111、B117のカウント動作を許可する信号CNTEN1及びCNTEN2である。

第19図の1903は上述のCNTEN1信号によりカウントを開始するアドレスカウンタA111の出力値を示すもので、このカウント

数により、このクロック数は5以外となる。

第20図に1ライン目(第15図1502)のデコード時に於ける第3図示のレジスタC103内のコードの移動状況を示す。第19図においてH SYNC1信号がデコード開始のトリガとなり、第7図示のバッファメモリAがリード動作を開始する。このときバッファメモリAより読み出されるデータはリフアレンスラインで、符号化方式規定により第1ラインのデコードの為のリフアレンスラインとして仮想の全白ラインが読み出される(即ち、初期状態でバッファメモリAの内容をクリア(オール0とする)しておく)。

さて、前述したように第3図示のレジスタC103(以下レジスタCと略す)のコードデータはデコード開始準備完了の状態、即ち第20図(A)の状態にあるとする。さて第20図の時刻t-1に於いてレジスタCの出力C0~C8からHモードコードとW1コードが、第1図示のコード検出ロジック104で同時に検出さ

れは前述のように第7図示のラインバッファメモリA112へのメモリアドレスとして与えられる。また、第19図の1904は出力1903と同様、第7図示のラインバッファメモリ2に対するメモリアドレスを示している。

第19図の908と910そして909と911は第7図示のシフトレジスタAとシフトレジスタBの各々の入出力信号を示しており、図示する該信号の各波形は第15図の画像のものと対応している。

又、第7図示のバッファメモリAとバッファメモリBは、第19図に示すように互いにリード/ライトを交互に実行しており、又、常にリード側が5時刻分ライト側より先行するよう制御されている。これはコードデータの復号動作がリフアレンスラインの先頭画素に関する変化点情報及び色情報が第7図示のシフトレジスタB、Aの出力Q4に達して始めて実行できるからである。尚、シフトレジスタのビット数やデコード動作のタイミング合せ用のラッチ等の

れる。これにより水平モードのコード入力であると判断されるとともにW1のランレンジス値1の2の補数<-1>が第6図示のランレンジスカウンタ602のA~F入力にロードされる。尚、ランレンジスカウンタ602のG~Mには夫々1がロードされる。又、この際Hモードの第1のターミネイティングコード(即ち、この場合はW1)が検出済となつたことをフリップフロップ等に記憶されておく(第19図1913信号)。又W1のコード長は6で、しかもW1は前述した様にジャンプコードであるから1時刻で6ビットの移動(即ち6ビットジャンプ)をレジスタCに実行する。又、W1はターミネイティング・コードであるから上記ランレンジス値のロードと同時に第14図フリップフロップ1403がM/Tによりセットされてランレンジスカウンタ602にターミネイタの値がロードされた事が記憶される(第19図1908)。

結局時刻t0でレジスタCは第20図(B)

の状態 ( $t - 1$  時刻の状態から 6 ビットのシフトを実行した状態) となる。又、第 14 図の T E N D 信号 1 4 0 4 が出力されフリップフロップ 1 4 0 1 の出力は反転し (結果は時刻  $t_0$  の 1 時刻後 =  $t_1$ )、第 19 図の 1 9 1 0 に示す如く画像の色は白 → 黒に変わる。

又、時刻  $t_0$  で H C R O による T E N D 信号により再び第 20 図 (B) 状態のレジスタ C 1 0 3 C 3 ~ C 6 出力から (この際 H モード中の 2 番目のターミネーティングコードであるから) B 1 H コードを検出する。B 1 H コードはランレンジス値 1 (補数 = < -1 >)、コード長 3 であり、又 B 1 H コードはジャンプコードであるからランレンジスカウンタ 6 0 2 は再び < -1 > をロードされる。この B 1 H コードの検出により H モードのコードの復号が終了し、次のコードの復号を行なう。この場合、次のコードの先頭ビットをレジスタ C 1 0 3 の C 0 出力に位置せしめるべくレジスタ C 1 0 3 のデータは B 1 H のコード長 3 に H コードのコード長 3 で第 20 図 (F) となる。

そして、 $t_{11}$  で H C R O が出ると第 14 図のフリップフロップ 1 4 0 1 反転すると共に再びレジスタ C 1 0 3 から V (0) コードを検出するが、こんどは V モード・コードであるから第 12 図示のラッチ 3 0 1 の V (0) ビットに "1" をセットする (他は "0")。又、H モードではないので第 6 図のランレンジスカウンタ 6 0 2 は作動させない。(結局 H C R O も出ない)。ラッチ 3 0 1 内の V (0) ビットは第 12 図で第 7 図示のシフトレジスタ B 1 1 6 の出力の入力されるアンド回路 7 0 4 から記号 b 1 と NAND 回路 7 0 5 において照合され、アンド回路 7 0 4 の出力が 1 レベルとなり、NAND 回路 7 0 5 及びオア回路 1 2 0 2 により V H i T 信号を出すまで待ち、第 14 図のフリップフロップ 1 4 0 1 を反転する。結局再生された画像は第 19 図の 1 9 1 0 の如くとなる。この時の再生画像の有効区間は第 19 図の 1 9 1 4 信号で示される。又、1 9 1 0 で示す画像はブ

ド長 3 を加えた 6 ビット分のジャンプ移動を行ない第 20 図 (C) の状態となる。結局、時刻  $t_1$  の H C R O で第 14 図示のフリップフロップ 1 4 0 4 を反転させる (結果は  $t_2$ )。

時刻  $t_1$  では第 20 図 (C) 状態のレジスタ C 1 0 3 から H モードコード及び W 4 コードを検出する。以後動作は第 20 図 (A) 状態の時と同様である。

次に時刻  $t_5$  で第 20 図 (D) 状態のレジスタ C 1 0 3 により B 6 コードを検出する。B 6 コードのコード長は 4 で、ジャンプコードではないので、まず、レジスタ C 1 0 3 は時刻  $t_5$  から 1 ビットずつ 4 時刻 (4 クロツク) で移動して  $t_9$  で第 20 図 (E) の状態となる。又、この時 B 6 は H モード中の 2 番目のターミネーティングコードとして検出されたのであり、この際には次のコードの先頭をレジスタ C 1 0 3 の C 0 出力に位置させるべくさらに 3 ビットジャンプを行うよう制御される ( $t_9$  で実行し結果は  $t_{10}$  で出る)。結局レジスタ C 1 0 3 は  $t_{10}$

リント 1 1 9 の出力されるとともに次の第 2 ラインのデコードの為のリフアレンスラインとして用いるため並行して書き込み動作を実行しているラインバッファ B 1 1 3 へ書き込まれている。又、再生画像は記号 a 0 としても使用される。このようにして画像が再生 (デコード) できるわけである。

以上の説明から明らかな様に、本実施例の回路の各プロックには制御回路 1 1 8 (第 1 図) より共通の画像クロツクが供給され、デコード動作はこの画像クロツクに同期して実行され、且つ、クロツクの間隔 (周期) に応じた速度でデコード動作する。また、このクロツクの供給を停止すれば、その停止期間はデコード動作も停止する。従って、デコード回路の各プロックに共通に供給するクロツクの間隔等を変えることによりデコード動作の速度等が制御可能である。

この速度、休止制御によりデコードされた画像を受け入れるプリンタやコンピュータ等の

データ処理速度等がデコード速度に制限されることはない。また逆に、デコード済の画像を処理する後段のプリンタ等の処理速度に合わせたクロツクをデコード動作の基準とすると後段の処理速度に適応したデコード動作がなされるので、例えば、処理速度の異なる複数通りのプリンタ等にも共通のデコード回路で対応可能となる。また、後段の処理装置がコンピュータ等の所定量のデータを間欠的に取り込み動作する装置であっても、読み込み期間に合わせてクロツクをデコード回路に供給し、その他の期間にはクロツクの供給を停止すればデコード動作がコンピュータ等の間欠処理に合わせて実行可能となる。

以上述べたデコード方式により以下の効果を得ることができる。即ち、

- (1) 1ライン間、連続するクロツクに同期して、画像を途切れる事なく再生（デコード）できる。又、各ラインも連続的、同期的に再生可能である。該再生画像をレーザープリン

タ等に出力すれば直ちに画像出力を得られる（即ちリアルタイム・デコード）。

(2) 画像の複雑さの度合、及び圧縮コードのいかんに関せず、常に高速デコードが保証される。（実測では主副走査密度共 16 p.e./25.4 mm の A3 サイズ画像は常に 1.5 秒で処理できる。）

(3) 高速画像出力の場合に対しても通常行なわれるよにあらかじめ一定量のデコード済画像をメモリ等に用意することなく圧縮コードから直接画像を再生し出力できるのでメモリ等が節約できる。

尚、以上の説明ではリフアレンスラインとの関係を用いた二次元符号化データの復号処理を説明したが、MMR 符号化等はもちろんのこと、一次元符号化と二次元符号化の混在する MR 符号化等にも適用可能である。尚、デコードすべきデータはコンピュータの出力やファクシミリ等によって伝送してきたデータ等を用いることができる。

表 1

コード名	コード						コード長				
	C0	C1	C2	C3	C4	C5	C6	S3	S2	S1	S0
グループ 1	P	0	0	0	1			0	1	0	0
	H	0	0	1				0	0	1	1
	V <sub>R</sub> (3)	0	0	0	0	0	1	0	1	1	1
	V <sub>R</sub> (2)	0	0	0	0	1	1	0	1	1	0
	V <sub>R</sub> (1)	0	1	1				0	0	1	1
	V(0)	1						0	0	0	1
	V <sub>L</sub> (1)	0	1	0				0	0	1	1
	V <sub>L</sub> (2)	0	0	0	0	1	0	0	1	1	0
	V <sub>L</sub> (3)	0	0	0	0	0	1	0	0	1	1

表 2

コード名	コード						コード長				
	C3	C4	C5	C6	C7	C8	C9	S3	S2	S1	S0
グループ 2	W1	0	0	0	1	1	1	0	1	1	0
	W1H*	0	0	0	1	1	1	1	0	0	1
	W2	0	1	1	1			0	1	0	0
	W3	1	0	0	0			0	1	0	0
	W4	1	0	1	1			0	1	0	0
	B1	0	1	0				0	0	1	1
	B1H*	0	1	0				0	1	1	0
	B2	1	1					0	0	1	0

(注) \*印は H モード中の 2 添目のターミネイティング・コードの場合

## 4. 図面の簡単な説明

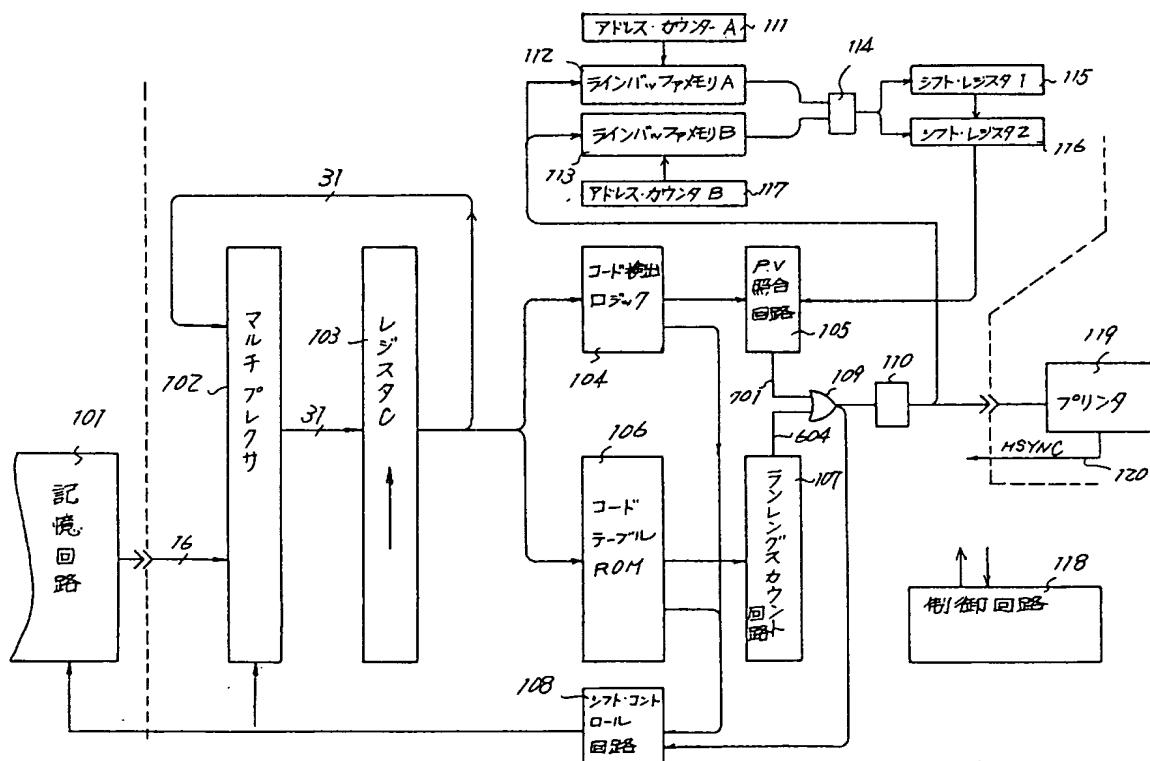
第1図は本発明を適用したデコード回路のブロック図、第2図(A)、(B)は復号すべきコードを表わす図、第3図はビットシフタの構成例を示す図、第4図はコードテーブルROMの構成例を示す図、第5図はコード換出ロジックの構成例を示す図、第6図はランレンジングスカウント回路の構成例を示す図、第7図はリファレンスラインの画像信号の処理回路の構成例を示す図、第8図はセレクタ回路の構成例を示す図、第9図は仮想変化点検出回路の構成例を示す図、第10図は変化点検出回路の構成例を示す図、第11図は第9図及び第10図の動作を示すタイミングチャート図、第12図はPV照合回路の構成例を示す図、第13図はシフトコントロール回路の構成例を示す図、第14図は画像再生回路の構成例を示す図、第15図は復号された画像信号の一例を示す図、第16図は復号すべきコード列を示す図、第17図及び第18図は第1ライン、第2ラインのデコード動

作を示す図、第19図はデコード動作を示すタイミングチャート図、第20図はレジスタのシフト動作を示す図であり。

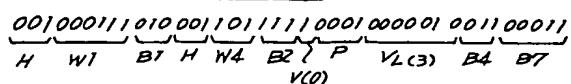
101は記憶回路、  
102はマルチプレクサ、  
103はレジスタC、  
104はコード換出ロジック、  
105はPV照合回路、  
106はコードテーブルROM、  
107はランレンジングスカウント回路、  
108はシフトコントロール回路、  
109はドライバ回路、  
110はゲート回路、  
111はアドレス・カウンタA、  
112はラインバッファメモリA、  
113はアドレス・カウンタB、  
114はシフト・レジスタ1、  
115はシフト・レジスタ2、  
116はシフト・レジスタ3、  
117はプリント、  
118は制御回路、  
119はHSYNC、  
120はHSYNC入力端子。

出願人 キヤノン株式会社

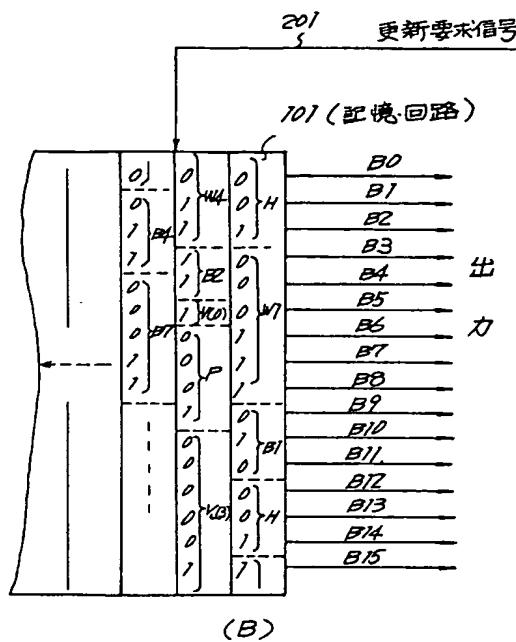
代理人 丸島儀一



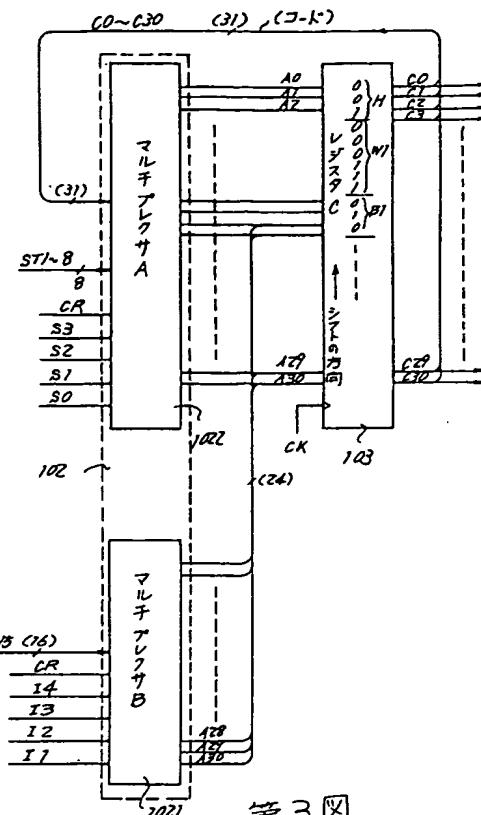
第1図



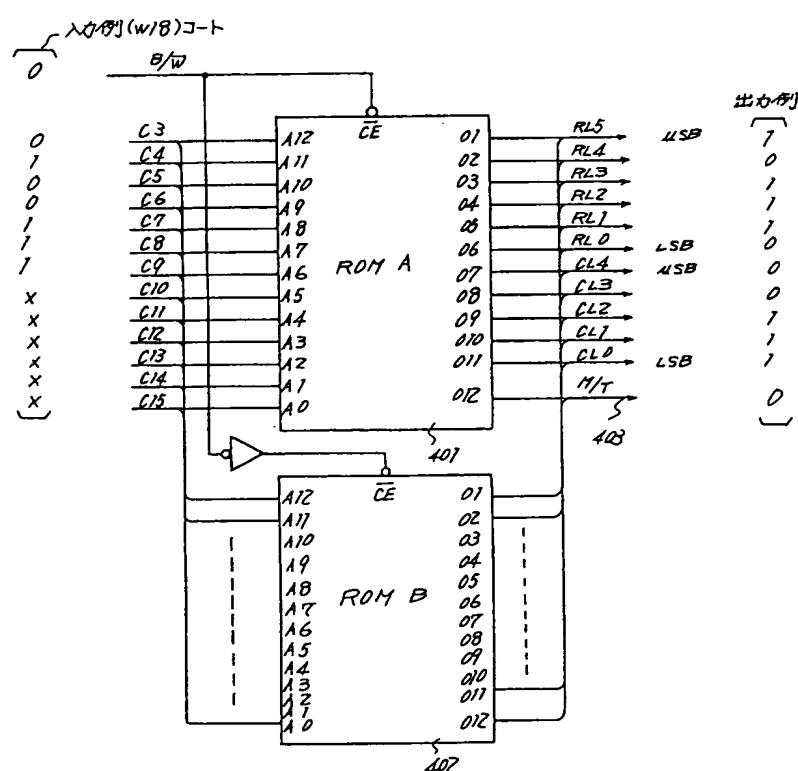
(A)



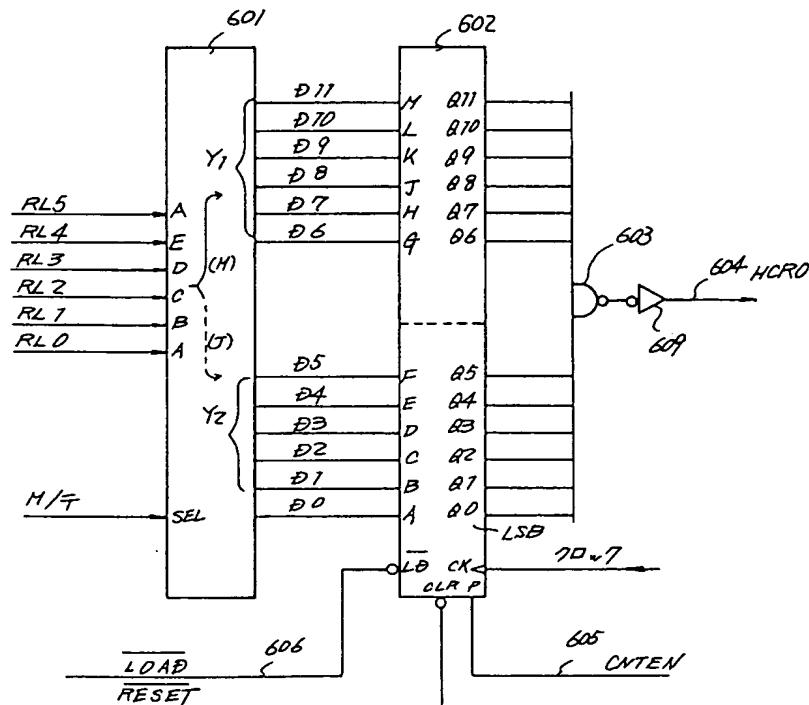
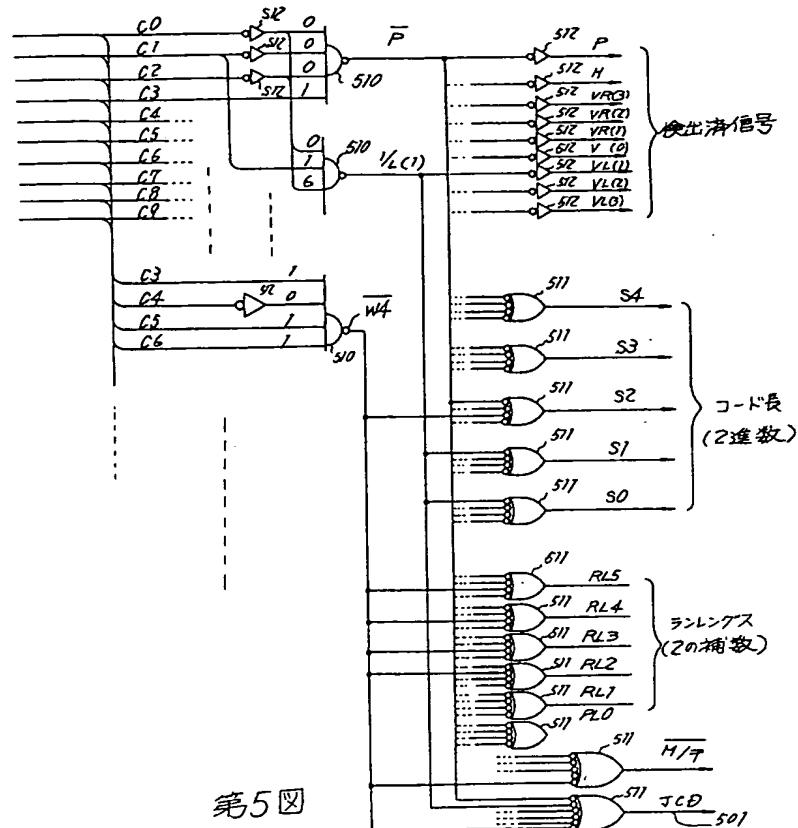
第2回



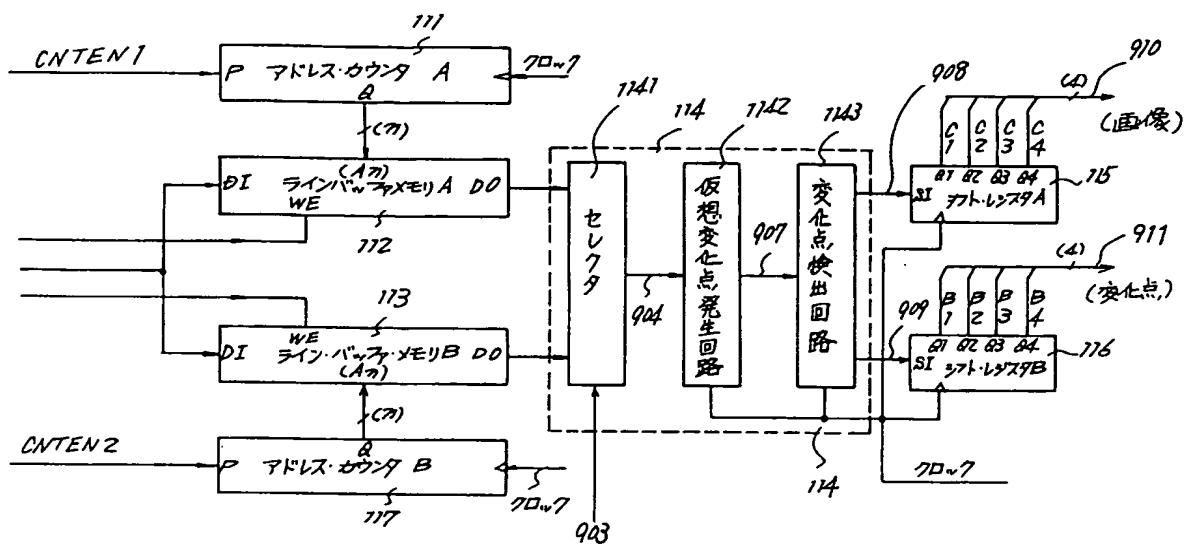
第3回



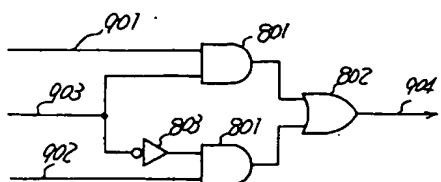
第4回



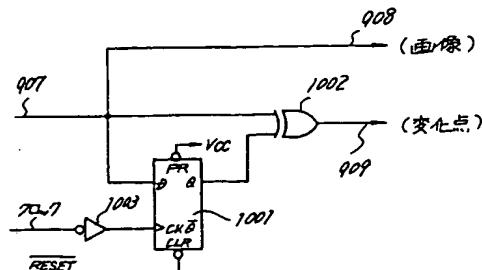
第6図



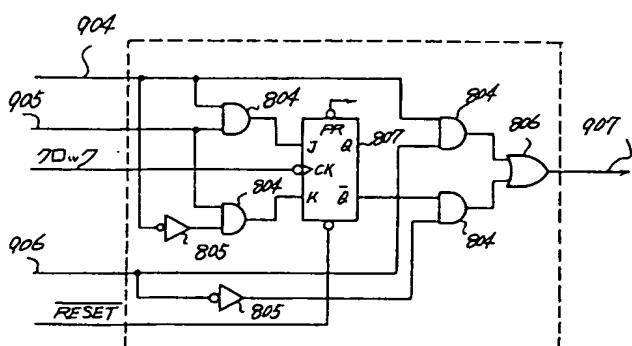
第7図



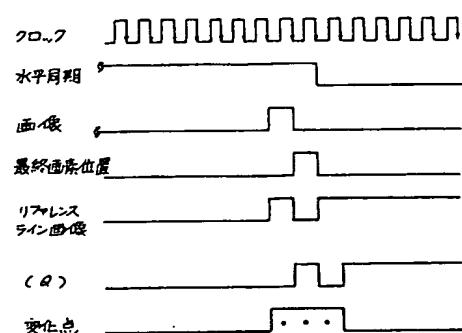
第8図



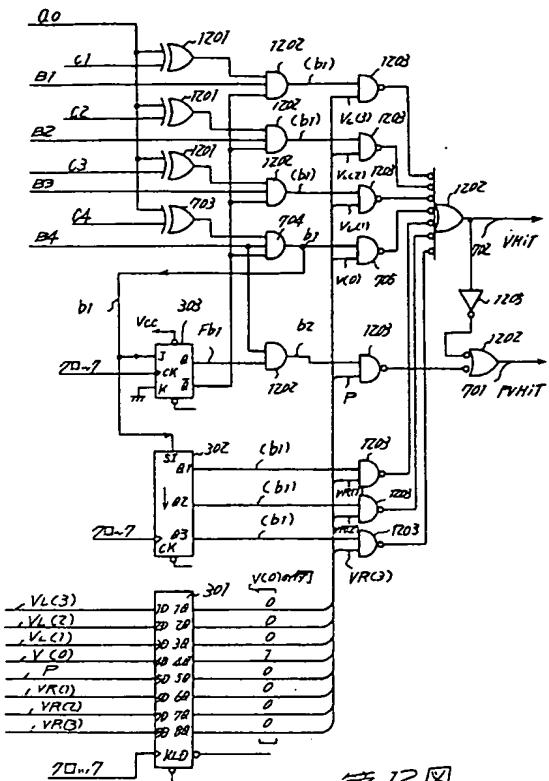
第10図



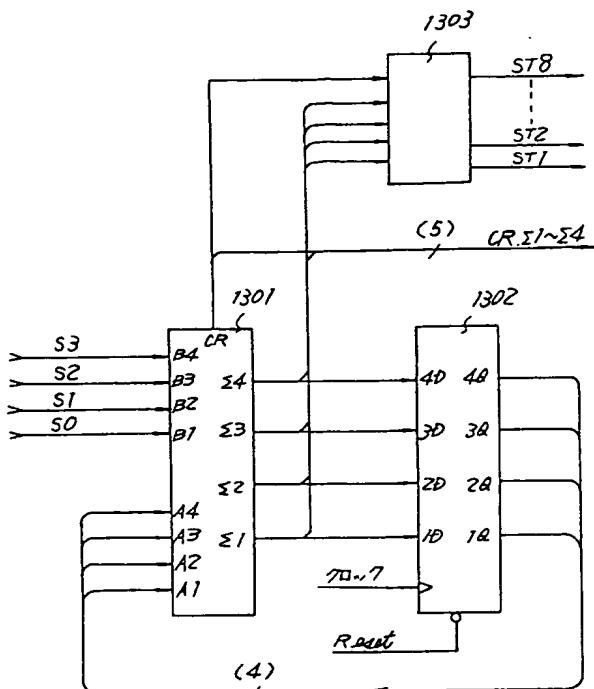
第9図



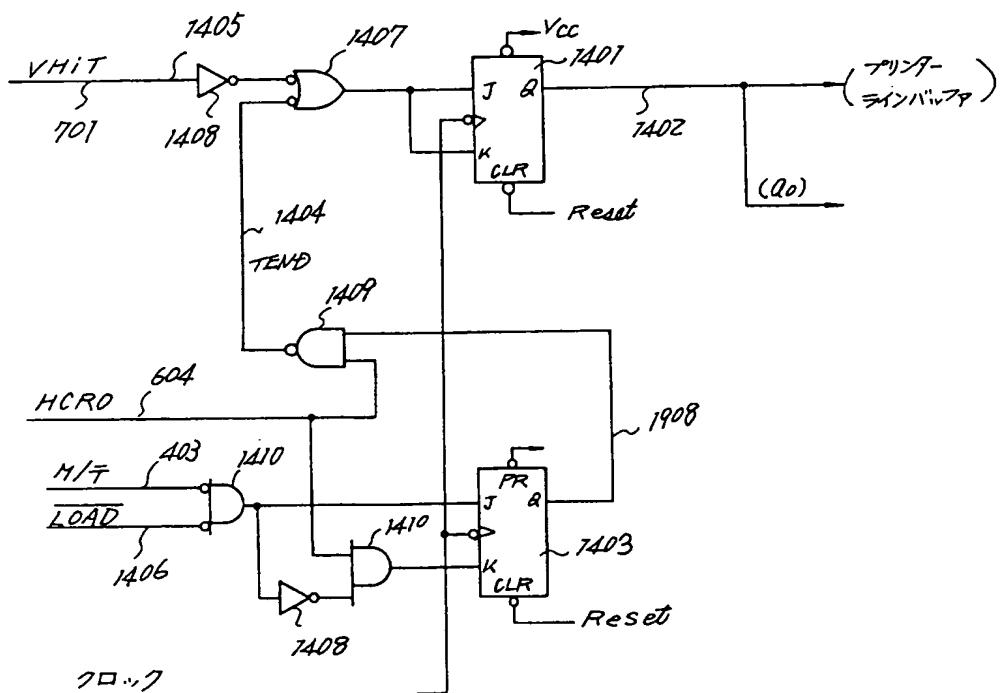
第11図



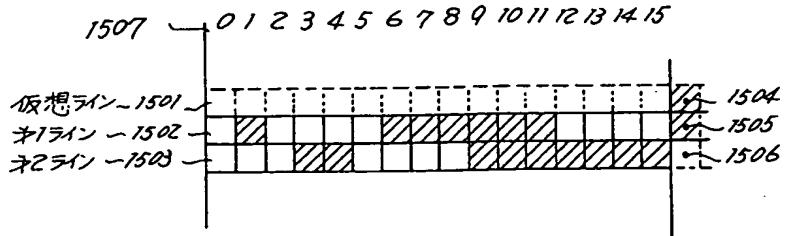
第12図



第13図



第14図



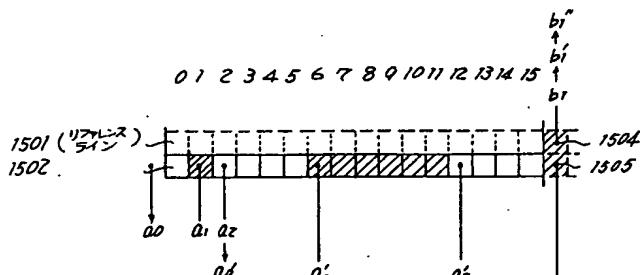
第15図

001,000111,010,001,1011,0010,1  
H W1 B1 H W4 B6 V(0)

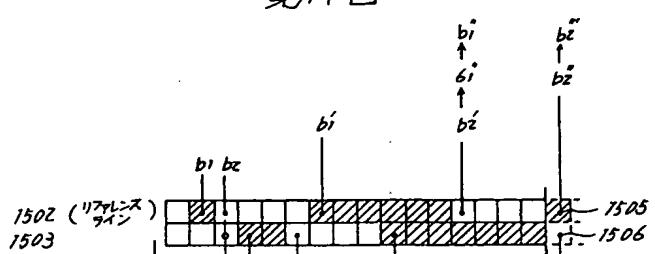
0001,010,001,11,1011,001,00011,  
P V<sub>L</sub>(3) H B2 W4 H B7

00110101  
W0

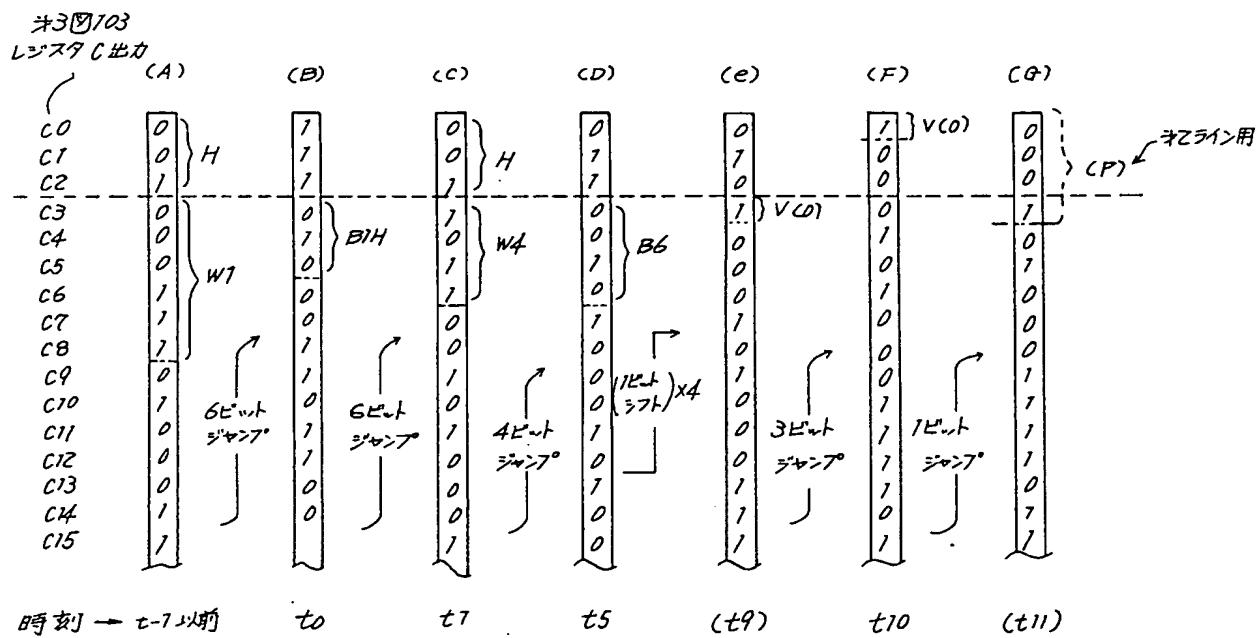
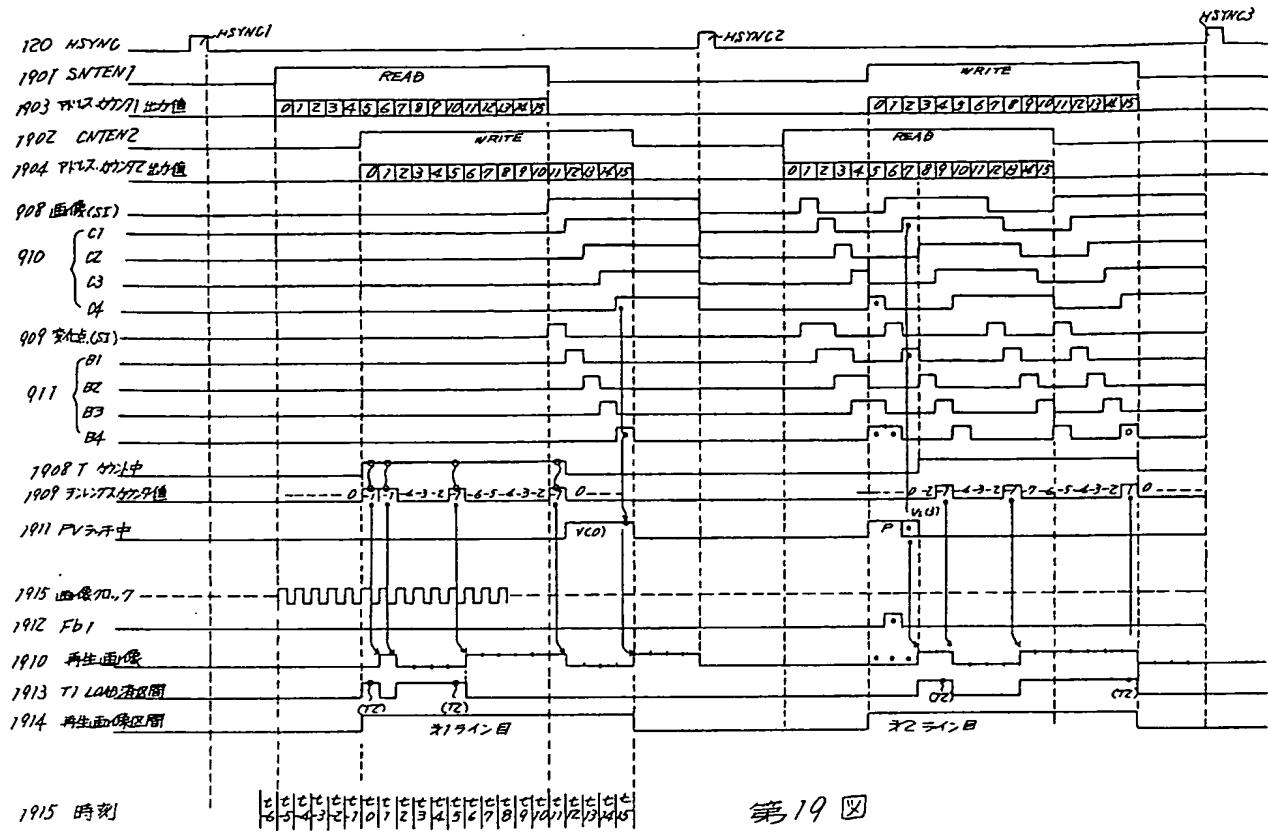
第16図



第17図



第18図



第 20 図